

# Chapter 1

## 概 述

- 1.1 電子設計自動化技術及其發展
- 1.2 電子設計自動化應用物件
- 1.3 VHDL
- 1.4 EDA的優勢
- 1.5 FPGA導向的開發流程
- 1.6 Quartus II概述
- 1.7 IP核
- 1.8 EDA技術的發展趨勢

本章首先介紹EDA技術和硬體描述語言及其發展過程，然後介紹基於EDA技術和VHDL的設計流程，以及EDA設計工具Quartus II。

## 1.1 電子設計自動化技術及其發展

微電子技術的進步主要表現在大型積體電路加工技術即半導體製程技術的發展上，使得表徵半導體製程水準的線寬已經達到了60nm，並還在不斷地縮小，而在矽晶圓單位面積上，整合了更多的電晶體。積體電路設計正在不斷地向超大規模、極低功耗和超高速的方向發展，專用積體電路ASIC（Application Specific Integrated Circuit）的設計成本不斷降低，在功能上，現代的積體電路已能夠實現系統晶片SOC（System On a Chip）。

現代電子設計技術的核心已日趨轉向基於電腦的電子設計自動化技術，即EDA（Electronic Design Automation）技術。EDA技術就是依賴功能強大的電腦，在EDA工具軟體平臺上，對以硬體描述語言HDL（Hardware Description Language）為系統邏輯描述手段完成的設計檔，自動地完成邏輯編譯、化簡、分割、合成、布局布線以及邏輯最佳化和模擬測試，直至實現既定的電子線路系統功能。EDA技術使得設計者的工作僅限於利用軟體的方式，即利用硬體描述語言和EDA軟體來完成對系統硬體功能的實現，這是電子設計技術的一個極大進步。

EDA技術在硬體實現方面融合了大型積體電路製造技術、IC布局設計、ASIC測試和封裝、FPGA（Field Programmable Gate Array）/CPLD（Complex Programmable Logic Device）編程下載和自動測試等技術；在電腦輔助工程方面融合了電腦輔助設計（CAD）、電腦輔助製造（CAM）、電腦輔助測試（CAT）、電腦輔助工程（CAE）技術以及多種電腦語言的設計概念；而在現代電子學方面則容納了更多的內容，如電子線路設計理論、數位信號處理技術、數位系統建模和最佳化技術及長線技術理論等。因此，EDA技術為現代電子理論和設計的表達與實現提供了可能性。正因為EDA技術豐富的內容以及與電子技術各學科領域的相關性，其發展的歷程同大型積體電路設計技術、電腦輔助工程、可程式邏

輯元件，以及電子設計技術和製程的發展是同步的。就過去近30年的電子技術的發展歷程，可大致將EDA技術的發展分為3個階段：

20世紀70年代，在積體電路製作方面，MOS製程得到廣泛的應用；可程式邏輯技術及其元件問世，電腦作為一種運算工具在科研領域得到廣泛應用。而在後期，CAD的概念已見雛形，這一階段人們開始利用電腦取代手工勞動，輔助進行積體電路布局編輯、PCB布局布線等工作。

20世紀80年代，積體電路設計進入了CMOS（互補式場效電晶體）時代，複雜可程式邏輯元件進入商業應用，相應的輔助設計軟體投入使用；而在80年代末，出現了FPGA；CAE和CAD技術的應用更為廣泛，它們在PCB設計方面的原理圖輸入、自動布局布線及PCB分析，以及邏輯設計、邏輯模擬、布林方程式合成和化簡等方面擔任了重要的角色。特別是各種硬體描述語言的出現、應用和標準化方面的重大進步，為電子設計自動化必須解決的電路建模、標準文件及模擬測試奠定了基礎。

進入20世紀90年代，隨著硬體描述語言的標準化進一步確立，電腦輔助工程、輔助分析和輔助設計在電子技術領域獲得更加廣泛的應用。與此同時，電子技術在通信、電腦及家電產品生產中的市場需求和技術需求，極大地推動了全新的電子設計自動化技術的應用和發展，特別是積體電路設計製程步入了次微米階段，百萬閘以上的大規模可程式邏輯元件的陸續面世，以及基於電腦技術的用戶導向的低成本大規模ASIC設計技術的應用，促進了EDA技術的形成。更為重要的是各EDA公司致力於推出相容各種硬體實現方案和支援標準硬體描述語言的EDA工具軟體的研究，更有效地將EDA技術推向成熟和實用。

EDA技術在進入21世紀後，得到了更大的發展，其突出表現在以下幾個方面：

- 在FPGA上實現DSP（數位信號處理）應用成為可能，用純數位邏輯進行DSP模組的設計，使得高速DSP實現成為實際，並有力地推動了軟體無線電技術的實用化和發展。基於FPGA的DSP技術，為高速數位信號處理演算法提供了實現途徑。
- 嵌入式處理器軟核的成熟，使得SOPC（System On a Programmable

Chip) 步入大規模應用階段，在一片FPGA上實現一個完備的數位處理系統成為可能。

- 在模擬和設計兩方面支援標準硬體描述語言的功能強大的EDA軟體不斷推出。
- 電子技術領域全方位融入EDA技術，除了日益成熟的數位技術外，傳統的電路系統設計建模理念發生了重大的變化，如軟體無線電技術的崛起、建模電路系統的硬體描述語言之表達和設計的標準化、系統可程式模擬元件的出現、數位信號處理和圖像處理的全硬體實現方案的普遍接受，以及軟硬體技術的進一步融合等。
- EDA使得電子領域各學科的界限更加模糊、更加互為包容，如類比與數位、軟體與硬體、系統與元件、ASIC與FPGA、行為與結構等。
- 基於EDA的用於ASIC設計的標準單元已涵蓋大規模電子系統及複雜IP核模組。
- 軟硬IP (Intellectual Property) 核在電子行業的產業領域廣泛應用。
- SOC高效低成本設計技術的成熟。
- 系統級、行為驗證級硬體描述語言的出現 (如System C)，使複雜電子系統的設計和驗證趨於簡單。

## 1.2 電子設計自動化應用物件

一般來說，利用EDA技術進行電子系統設計，最後實現的目標是以下3種：

- 全定制或半定制ASIC。
- FPGA/CPLD (或稱可程式ASIC) 開發應用。
- PCB (印刷電路板)。

實現目標的前兩項可以歸結為專用積體電路ASIC的設計和實現，ASIC是最終的物理平臺，集中容納了用戶通過EDA技術將電子應用系統的既定功能和技術指標具體實現的硬體實體。一般而言，專用積體電路就

是具有專門用途和特定功能的獨立積體電路元件。根據這個定義，作為EDA技術最終實現目標的ASIC，可以通過下面3種途徑來完成：

### 1. 超大規模可程式邏輯元件

FPGA和CPLD是實現這一途徑的主流元件，它們的特點是直接用戶導向、具有極大的靈活性和通用性、使用方便、硬體測試和實現快捷、開發效率高、成本低、上市時間短、技術維護簡單、工作可靠性好等。FPGA和CPLD的應用是EDA技術有效融合軟硬體電子設計技術以及對自動化設計與自動化實現最典型的詮釋。由於FPGA和CPLD的開發工具、開發流程和使用方法與ASIC有相通之處，因此這類元件通常也被稱為可程式專用IC，或可程式ASIC。

### 2. 半定制或全定制ASIC

根據實現的製程，基於EDA設計技術的半定制或全定制ASIC可統稱為光罩（MASK）ASIC，或直接稱ASIC。ASIC大致分為閘陣列ASIC、標準單元ASIC和全定制ASIC：

- 閘陣列ASIC：閘陣列晶片包括預定制相連的PMOS和NMOS電晶體型。設計中，用戶可以借助EDA工具將原理圖或硬體描述語言模型映射為相應閘陣列電晶體配置，創建一個指定金屬互連路徑檔，從而完成閘陣列ASIC開發。由於有光罩的創建過程，閘陣列有時也稱光罩可程式閘陣列（MPGA）。但是MPGA與FPGA完全不同，它不是用戶可程式的，也不屬於可程式邏輯範疇，而是實際的ASIC。MPGA出現在FPGA之前，FPGA技術則源自MPGA。現在，Altera的HardCopy、HardCopy II技術，可以提供一種把FPGA的設計轉化為結構化ASIC的途徑。
- 標準單元ASIC：目前大部分ASIC是使用程式庫中的不同大小的標準單元設計的，這類晶片一般稱作基於單元的積體電路（Cell-based Integrated Circuits, CBIC）。在設計者一級，程式庫包括不同複雜程度的邏輯元件，如SSI邏輯塊、MSI邏輯塊、資料通道模組、記憶體、IP以及系統級模組。程式庫還包含每個邏輯單元在矽

晶圓的完整布局，使用者只需利用EDA軟體工具與邏輯塊描述打交道即可，完全不必關心電路布局的細節。在標準單元布局中，所有擴散、接觸點、過孔、多晶通道及金屬通道都已完全確定，當該單元用於設計時，通過EDA軟體產生的網表檔將單元布局塊「黏貼」到晶片布局之上的單元行上。標準單元ASIC設計與FPGA設計開發的流程相似。

- 全定制晶片：全定制晶片中，在針對特定製程建立的設計規則下，設計者對於電路的設計有完全的控制權，如線的間隔和電晶體大小的確定。該領域的一個例外是混合信號設計，使用通信電路的ASIC可以定制設計其類比部分。

### 3. 混合ASIC

混合ASIC（不是指數位一類比混合ASIC）主要指既具有用戶導向的FPGA可程式功能和邏輯資源，同時也含有可方便呼叫和配置的硬體標準單元模組，如CPU、RAM、ROM、硬體加法器、乘法器、鎖相迴路等。Xilinx、Atmel和Altera公司已經推出了這方面的元件，如Virtex-4系列、Excalibur（含ARM核）和Stratix II系列等。混合ASIC為SOC和SOPC的設計實現提供了便捷的途徑。

## 1.3 VHDL

硬體描述語言HDL是EDA技術的重要組成部分，常見的HDL主要有VHDL、Verilog HDL、ABEL、AHDL、SystemVerilog和SystemC。

其中VHDL、Verilog在現在的EDA設計中使用最多，也擁有幾乎所有主流EDA工具的支持，而SystemVerilog和SystemC還處於改善過程中。本書將重點介紹VHDL的編程方法和使用技術。

VHDL的英文全名是VHSIC（Very High Speed Integrated Circuit）Hardware Description Language，於1983年由美國國防部（DOD）發起創建，由IEEE（The Institute of Electrical and Electronics Engineers）進一步發展，並在1987年作為「IEEE標準1076」發布。從此，VHDL成為硬體

描述語言的業界標準之一。自IEEE公布了VHDL的標準版本（IEEE Std 1076）之後，各EDA公司相繼推出了自己的VHDL設計環境，或宣布自己的設計工具支持VHDL。此後，VHDL在電子設計領域得到了廣泛應用，並逐步取代了原有的非標準硬體描述語言。

VHDL作為一個規範語言和建模語言，隨著它的標準化，出現了一些支援該語言的行為模擬器。由於創建VHDL的最初目標是用於標準文件的建立和電路功能描述，其基本想法是在高層次上描述系統和元件的行為。但到了20世紀90年代初，人們發現，VHDL不僅可以作為系統描述的建模工具，而且可以作為電路系統的設計工具，可以利用軟體工具將VHDL來源碼自動地轉化為文字方式表達的基本邏輯元件連接圖，即網表檔。這種方法顯然對於電路自動設計是一個極大的推進。很快地，電子設計領域出現了第一個軟體設計工具，即VHDL邏輯合成器，它可以標準地將VHDL的部分語句描述轉化為具體電路實現的網表檔。

1993年，IEEE對VHDL進行了修訂，從更高的抽象層次和系統描述能力上擴展了VHDL的內容，公布了新版本的VHDL，即IEEE標準的1076-1993版本。現在，VHDL和Verilog作為IEEE的工業標準硬體描述語言，得到眾多EDA公司的支援，在電子工程領域，已成為事實上的通用硬體描述語言。現在公布的最新VHDL標準版本是IEEE 1076-2002。

VHDL語言具有很強的電路描述和建模能力，能從多個層次對數位系統進行建模和描述，因此簡化了硬體設計任務，提高了設計效率和可靠性。

VHDL具有與具體硬體電路無關和與設計平臺無關的特性，並且具有良好的電路行為描述和系統描述的能力，並在語言易讀性和層次化、結構化設計方面，表現了強大的生命力和應用潛力。因此，VHDL在支援各種模式的設計方法，如自上向下與由下向上或混合方法方面，以及在面對當今許多電子產品生命週期的縮短，需要多次重新設計以融入最新技術、改變製程等方面都表現出了良好的適應性。用VHDL進行電子系統設計的一個很大的優點是設計者可以專心致力於其功能的實現，而不需要對不影響功能的與製程有關的因素花費過多的時間和精力。



## 1.4 EDA的優勢

在傳統的數位電子系統或IC設計中，手工設計占了較大的比例。一般都是先按電子系統的具體功能要求進行功能劃分，然後對每個子模組畫出真值表，用卡諾圖進行手工邏輯簡化，寫出布林運算式，畫出相應的邏輯線路圖，再據此選擇元件，設計電路板，最後進行實測與除錯。手工設計方法的缺點是：

- 複雜電路的設計，除錯十分困難。
- 由於無法進行硬體系統模擬，如果某一過程存在錯誤，查找和修改十分不便。
- 設計過程中產生大量文件，不易管理。
- 對於IC設計而言，設計實現過程與具體生產製程直接相關，因此可攜性差。
- 只有在設計出樣品或生產出晶片後才能進行實測。

相比之下，EDA技術有很大不同：

- 用HDL對數位系統進行抽象的行為與功能描述到具體的內部線路結構描述，從而可以在電子設計的各個階段、各個層次進行電腦模擬驗證，保證設計過程的正確性，可以大大降低設計成本，縮短設計週期。
- EDA工具之所以能夠完成各種自動設計過程，關鍵是有各類程式庫的支援，如邏輯模擬時的模擬庫、邏輯合成時的合成庫、布局合成時的布局庫、測試合成時的測試庫等。這些程式庫都是EDA公司與半導體生產廠商緊密合作、共同開發的。
- 某些HDL本身也是文件型的語言（如VHDL），因此簡化了設計文件的管理。
- EDA技術中最為矚目的功能，即最具現代電子設計技術特徵的功能是日益強大的邏輯設計模擬測試技術。EDA模擬測試技術只需通過電腦，就能對所設計的電子系統從各種不同層次的系統性能特點完成一系列準確的測試與模擬操作，在完成實際系統的安裝後，還能



對系統上的目標元件進行所謂邊界掃描測試、嵌入式邏輯分析儀的應用，這一切都提高了大規模系統電子設計的自動化程度。

- 無論傳統的應用電子系統設計得如何完美，使用了多麼先進的功能元件，都掩蓋不了一個無情的事實，即該系統對於設計者來說，沒有任何自主知識產權可言，因為系統中的關鍵性元件往往並非出自於設計者之手，這將導致該系統在許多情況下的應用直接受到限制。基於EDA技術的設計則不同，由於用HDL表達的成功的專用功能設計在實現目標方面有很大的選擇性，它既可以用不同來源的通用FPGA/CPLD實現，也可以直接以ASIC來實現，設計者擁有完全的自主權，再無受制於人之虞。
- 傳統的電子設計方法至今沒有任何標準規範加以約束，因此設計效率低、系統性能差、開發成本高、市場競爭能力小。EDA技術的設計語言是標準化的，不會由於設計物件的不同而改變；它的開發工具是規範化的，EDA軟體平臺支援任何標準化的設計語言；它的設計成果是通用性的，IP核具有規範的介面協定；良好的可攜性與可測試性，為系統開發提供了可靠的保證。
- 從電子設計方法學來看，EDA技術最大的優勢就是能將所有設計環節納入統一的自上向下的設計方案中。
- EDA不但在整個設計流程上充分利用電腦的自動設計能力，在各個設計層次上利用電腦完成不同內容的模擬，而且在系統板設計結束後，仍可利用電腦對硬體系統進行完整的測試。

## 1.5 FPGA導向的開發流程

完整地瞭解利用EDA技術進行設計開發的流程，對於正確地選擇和使用EDA軟體、最佳化設計專案、提高設計效率均十分有益。一個完整的、典型的EDA設計流程既是自上向下設計方法的具體實施途徑，也是EDA工具軟體本身的組成結構。

### 1.5.1 設計輸入

圖1-1所示是基於EDA軟體的FPGA開發流程圖，下面將分別介紹各設計模組的功能特點。對於目前流行的用於FPGA開發的EDA軟體，圖1-1所示的設計流程具有普遍性。

將電路系統以一定的表達方式輸入電腦，是在EDA軟體平臺上對FPGA/CPLD開發的最初步驟。通常，使用EDA工具的設計輸入可分為以下兩種類型：

#### 1. 圖形輸入

圖形輸入通常包括原理圖輸入、狀態圖輸入和波形圖輸入等方法。

狀態圖輸入方法就是根據電路的控制條件和不同的轉換方式，用繪圖的方法在EDA工具的狀態圖編輯器上繪出狀態圖，然後由EDA編譯器和合成器將此狀態變化流程圖形編譯合成為電路網表。

波形圖輸入方法則是將待設計的電路看成是一個黑盒子，只需告訴EDA工具該黑盒子電路的輸入和輸出時序波形圖，EDA工具即能據此完成黑盒子電路的設計。

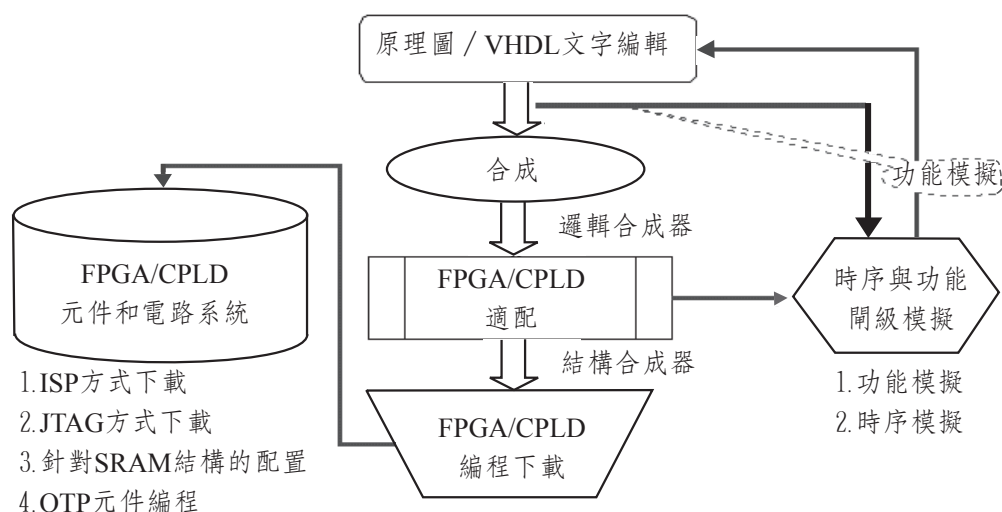


圖1-1 FPGA的EDA開發流程